

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

JC864 U.S. PTO
09/621750
07/21/00

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
Bureau of the application as originally filed which is identified hereunder:

申請日：西元 1999 年 11 月 09 日
Application Date

申請案號：088119552
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局 長

Director General

陳明邦

發文日期：西元 2000 年 2 月 1 日
Issue Date

發文字號：
Serial No. 08911001747

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	利用軟體進行模擬之電腦元件整合測試系統
	英 文	
二、發明人 創作	姓 名	1 黃祥洲 2 賴瑾 3 張乃舜
	國 籍	中華民國
	住、居所	1 台北縣板橋市倉後街 1 號 3 樓 2 台北市辛亥路 7 段 69 巷 19 號 4 樓 3 台北縣中和市秀朗路 3 段 10 巷 14 弄 26-6 號 7 樓
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

裝

訂

線

四、中文發明摘要(發明之名稱：利用軟體進行模擬之電腦元件整合測試系統)

一種利用軟體進行模擬之電腦元件整合測試系統，其利用電腦軟體，模擬複數個元件，至少一個資源以及一個控制晶片組的運作情形。首先，對每個元件設定一個運作總數，並設定先入先出緩衝區大小。此外，對每個元件也設定一個第一亂數範圍，並依此產生一個第一亂數，根據此第一亂數決定此元件之指令序列以及運作形式。另外，也對每個元件設定一個第二亂數範圍，依此產生一個第二亂數，以決定此元件的起始運作時間點。接下來，同時啟動這些元件，並依照上述的指令序列，運作形式以及起始運作時間點進行運作。當這些元件對資源產生競爭時，就由控制晶片組加以仲裁。

英文發明摘要(發明之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

本發明是有關於一種電腦元件模擬測試系統，且特別是有關於一種利用軟體模擬之電腦元件整合測試系統。

習知對於電腦元件的軟體模擬測試，都僅限於單一電腦元件的模擬測試。也就是說，一位負責 IDE 元件設計的工程師，只對他所負責設計的 IDE 元件進行測試。而一位負責 USB 元件设计的工程師，就只對其負責設計的 USB 元件進行測試。當然，或許在其進行的測試中，還包括了各自與 PCI/ISA 控制電路間的信號溝通狀況。但是，習知並沒有以軟體對各種元件進行一個整合測試的系統。

以上面所舉的例子來說，以軟體模擬測試 IDE 元件，就是利用 PCI 主元件或是 PCI 僕元件，輸入一組測試樣本 (test pattern) 到 PCI/ISA 控制電路，再從 PCI/ISA 控制晶片到 IDE 元件，以測得此 IDE 元件對這些測試樣本的反應狀況。另外，當然也有同樣的軟體模擬系統來模擬測試 USB 元件。但是，在習知中並沒有將 IDE 元件以及 USB 元件以及其他元件一起進行模擬測試的系統。

由於電腦元件於電腦系統中，在極大部分的時間裡都是一起運行，彼此之間有著密不可分的交互關係，例如：資源共享以及資源使用競爭 (Compete)。所以，若是只對單一的電腦元件進行測試，就很可能有一些狀況沒有辦法，或是沒有機會加以測試。這些未經測出的問題，在幸運的時候，或許不會導致太大的缺失；但是在大部分的時候，這些未經測出的問題將會導致電腦系統在運作的時候產生問題，甚至連控制晶片組的設計也會因此而失敗。

針對上述的問題，習知提出一種以硬體模擬的方法，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

來進行電腦的整體測試。這個方法是在產品製成(Tape out)之後，再將製成的產品安裝在一個測試電路上，與其他的產品一起進行測試。

這種方法的確減少許多在電腦元件上的不良設計，但是其仍然有著缺點存在。其缺點之一是，利用硬體進行測試所耗費的成本過高。由於每次的測試必須調整各種參數，且必須更換各種硬體以進行測試，所以其所花費的人力以及物力都是不可忽視的。

而利用硬體實地進行模擬測試的方法還有一個缺點，就是必須等到產品製成之後才能進行測試。若是設計上有所缺失，則製成的產品就必須加以廢棄。對於這種耗費資源的行為，站在資源有限的立場上，必須加以有效的減少。

綜上所述，習知所採用的電腦元件模擬測試系統有幾點缺失，現列述如下：

1.只針對各自設計的部分加以測試，缺乏整體而全面的驗證結果，由於缺少全面的驗證，所以會有部分沒辦法測出的問題，這些未測出的問題有可能導致電腦系統在運作的時候產生問題，甚至可能連控制晶片組的設計也因此而導致失敗；以及

2.由於利用硬體進行測試所花費的人力以及物力都是不可忽視的，且常常會有耗費資源的狀況發生，所以耗費的成本極高。

有鑒於此，本發明提出一種利用軟體進行模擬之電腦元件整合測試系統，其利用軟體對電腦元件做一個整體而全面性的檢測，以求有一個完整的驗證環境。此外，由於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

是利用軟體進行模擬測試，所以可以在產品製成(tape out)之前就進行測試，不但減少人力、物力資源的耗費，而且可以縮短量產的時程。

本發明提出一種利用軟體進行模擬之電腦元件整合測試系統，其利用電腦軟體，模擬複數個元件、至少一個資源以及一個控制晶片組的運作情形。此電腦元件整合測試系統包括下列步驟：對任一個元件各自設定一個運作總數，並對任一個元件各自設定一個先入先出緩衝區的大小。此外，還對任一個元件各自設定一個第一亂數範圍，並依照由此第一亂數範圍所產生的一個第一亂數，決定此元件的指令序列，以及此指令序列裡的指令的運作形式。另外，也對任一個元件各自設定一個第二亂數範圍，並依照由此第二亂數範圍所產生的一個第二亂數，來決定此元件之起始運作時間點。

接下來，在上述的參數設定完畢之後，同時啟動這複數個元件，並依照上述的指令序列，運作形式以及起始運作時間點來進行運作。而當這複數個元件分享任一個資源，並對此資源之利用發生競爭(Compete)情形的時候，就由控制晶片組對此資源之利用加以仲裁(Arbitration)。

其中，上述的資源至少包括了PCI匯流排以及記憶體。而進行測試的元件則由IDE元件、USB元件、ISA元件、直接記憶體存取(Direct Memory Access, DMA)元件、超級輸出輸入(Super Input/Output, SIO)元件、音頻(Audio Codec, AC)元件、加速圖形顯示埠(Accelerated Graphic Port, AGP)元件、PCI元件、中央處理器或記憶體所組成。另外，控制

五、發明說明(ㄗ)

晶片組可以是北橋晶片組或是南橋晶片組。

本發明利用軟體對電腦元件做一個整體而全面性的檢測，可以得到一個完整的驗證環境。此外，由於是利用軟體進行模擬測試，所以可以在產品製成之前就進行測試，不但減少許多資源的耗費，而且可以縮短量產的時程。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示的是根據本發明之一個較佳實施例的電腦系統之模擬連接圖；

第 2 圖繪示的是根據本發明之另一個較佳實施例的電腦系統之模擬連接圖；以及

第 3 圖繪示的是根據本發明之一個較佳實施例的執行流程圖。

重要元件標號

- 10：南橋控制晶片組
- 12：直接記憶體存取(DMA)元件
- 14：超級輸出輸入(SIO)元件
- 16：ISA 元件
- 18：音頻(Audio Codec)元件
- 20：USB 元件
- 22：IDE 元件
- 24：PCI 匯流排
- 26：PCI 元件

五、發明說明 (5)

- 50：北橋控制晶片組
 - 52：中央處理器(CPU)
 - 54：加速圖形顯示埠(AGP)元件
 - 56：記憶體
- 較佳實施例

請參照第 1 圖，其繪示的是依照本發明一較佳實施例的一種電腦系統之模擬連接圖。在本實施例中，包括一個南橋控制晶片組 10，直接記憶體存取(Direct Memory Access, DMA)元件 12，超級輸出輸入(Super Input/Output, SIO)元件 14，ISA 元件 16，音頻(Audio Codec, AC)元件 18，USB 元件 20，IDE 元件 22，PCI 元件 26 以及 PCI 匯流排 24。其中，PCI 匯流排 24 在本發明中被視為一種資源，其被 PCI 元件 26 以及經由南橋控制晶片組 10 所連接的各元件所共享。

而關於本實施例運作的方法請參考第 3 圖，其顯示了根據本發明之一個較佳實施例的執行流程圖。在第 3 圖中，編號 1 之元件以及編號 n 之元件代表在測試整體電腦時所使用的各個元件，在本實施例中，這些元件可以是直接記憶體存取(DMA)元件 12，超級輸出輸入(SIO)元件 14，ISA 元件 16，音頻(AC)元件 18，USB 元件 20，IDE 元件 22 以及 PCI 元件 26。而控制晶片則是南橋控制晶片組 10。

請合併參照第 3 圖，首先，在步驟 S100 中，必須對在測試中所使用的各個元件設定其所使用的基本資料以及基本參數。這些基本資料以及基本參數包括：運作總數，先入先出(FIFO)緩衝區大小，指令序列，指令序列內部指令

五、發明說明 (6)

的運作形式，以及起始運作的時間點。其中，運作總數以及先入先出緩衝區大小是設定為一個固定的值，也就是說，在運作的過程中並不會改變。而指令序列，指令序列內部指令的運作形式，以及起始運作的時間點，則是經由事先設定的一個亂數範圍所產生的亂數來決定。也就是說，每一次運作所產生的指令種類，指令排列方式以及運作的時間點都不相同。由於在實際電腦中的電腦元件運行時間以及方式會因時因地而異，所以這種以亂數決定模擬電腦元件運行的方式是絕對有必要的。

另外要注意的一點是，本模擬系統是以多工(Multi-Task)方式進行的。也就是說，屬於編號 1 之元件所執行的步驟，會與屬於其他編號之元件，例如：編號 n 之元件，所執行的步驟一起運行。

因此，在步驟 S100 裡對在測試中所使用的各個元件設定其所使用的基本資料以及基本參數之後，流程會同時進入步驟 S104 以及步驟 S134。在此處為了說明上的方便，故只針對步驟 S104 及其接續之步驟加以說明。但是必須注意的是，步驟 S134 及其接續之步驟，或是其他編號之元件的運行步驟也是正在同時運行，而不是一個元件完全模擬完畢後才接下去執行另外一個元件的模擬。

在步驟 S104 中，編號 1 之元件首先進入一個閒置的狀態。接下來，在步驟 S108 中，會經由一個計時器的計時，使得編號 1 之元件在由步驟 S100 中由亂數定出的運作時間點到來之前，都保持在這個閒置的狀態下。而當計時器計時到屬於編號 1 之元件的運作時間點已經到達的時候，這

五、發明說明 (7)

一部份的流程就會往下繼續進行到步驟 S114。

在步驟 S114 中，本發明模擬編號 1 之元件發出在前述以亂數決定之指令序列中的一個指令。接下來，在步驟 S118 中，對於這個指令序列進行檢測。若是這個指令序列是空的，也就是，在步驟 S114 中所發出的指令是空指令，則這個編號 1 之元件的模擬就結束了。而若是這個指令序列不是空的，那麼執行流程就進入到步驟 S124。

在步驟 S124 中，本發明開始模擬在步驟 S114 中所發出之指令的運作狀況。這個指令的運作就視此指令的形式而定。而在本實施例中，這個指令有可能必須要使用到 PCI 匯流排 24 以傳遞資料，此時 PCI 匯流排 24 就被稱為這個實施例中的一個資源。而當在步驟 S124 中開始模擬指令運作之後，執行流程就進入步驟 S160。

在步驟 S160 中，若是有多個元件恰巧對同一個資源同時要進行存取(Access)，則就會產生一個競爭(Compete)的情形。當競爭的情形產生的時候，在本實施例中就由南橋控制晶片組 10 來作仲裁(Arbitration)的動作。

在此必須要再度強調的一點是，在本發明中，所有的元件是以平行的方式來模擬，也就是每個元件都是同時在運作，就如同在電腦中的真實情況一樣。因為這個特點，所以才會有上述在步驟 S160 中多個元件對同一個資源同時進行存取的情況產生。這樣的情況，是眾多習知的模擬方法中所無法模擬到的部分。

而當編號 1 之元件對資源的運用經由南橋控制晶片組 10 的同意，並且運用完畢；或是其指令雖然不使用其他資

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

源，但是已經運行完畢之後，步驟就進入 S128，已讓此編號 1 之元件進入原先的閒置狀態。接下來，再由步驟 S104 開始執行，直到指令序列中的指令完全執行完畢，才結束有關編號 1 之元件的模擬。

在此必須注意的是，結束編號 1 之元件的模擬並不表示結束整個發明的模擬。只有在所有元件的模擬都結束之後，本發明所提出的模擬系統才告一個段落。而另外一個必須注意的部分則是，在本實施例中雖然只標明了兩個元件：編號 1 之元件以及編號 n 之元件，但是實際實施的時候並不限定於只能做兩個元件的模擬，而是得視實際需要而加以變更。

有關於編號 n 之元件的執行流程，則與上述編號 1 之元件的執行流程相似。不同處只在於兩個元件的運作時間點可能並不相同，其指令序列的長度以及指令形式也不必相同。至於其他的執行流程部分則完全相同。

接下來請參照第 2 圖，其顯示了根據本發明之另一個較佳實施例的一種電腦系統之模擬連接圖。在本實施例中，包括了一個北橋控制晶片組 50，中央處理器(CPU)52，加速圖形顯示埠(Accelerated Graphic Port, AGP)元件 54，PCI 元件 26，記憶體 56 以及 PCI 匯流排 24。其中，記憶體 56 以及 PCI 匯流排 24 在本實施例中被當作是資源的一種。

而關於本實施例運作的方法請參考第 3 圖。在第 3 圖中，編號 1 之元件以及編號 n 之元件代表在測試整體電腦時所使用的各個元件，在本實施例中，這些元件可以是中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

央處理器(CPU)52,加速圖形顯示埠(AGP)元件 54 以及 PCI 元件 26。而控制晶片組則是北橋控制晶片組 50。

而本實施例的運作方法及流程,與以上所述,由第 1 圖以及第 3 圖所描述的部分大致相同。所不同的地方為,模擬的元件是由中央處理器(CPU)52,加速圖形顯示埠(AGP)元件 54 以及 PCI 元件 26 所組成;而可能因共享而導致競爭情形的資源則可以是記憶體 56 或 PCI 匯流排 24;此外,用以仲裁這些競爭情形的控制晶片則為北橋控制晶片組 50。

綜上所述,現將本發明的優點略述如下。本發明對電腦元件做一個整體而全面性的檢測,不但可以得到一個完整的驗證環境,而且可以減少許多不必要的資源耗費。此外,由於是利用軟體進行模擬測試,所以不但減少測試所需的人力以及物力,還可以縮短量產的時程。

雖然本發明已以較佳實施例揭露如上,然其並非用以限定本發明,任何熟習此技藝者,在不脫離本發明之精神和範圍內,當可作各種之更動與潤飾,因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

1.一種利用軟體模擬之電腦元件整合測試系統，其利用電腦軟體，模擬複數個元件、至少一資源以及一控制晶片組的運作情形，該電腦元件整合測試系統包括下列步驟：

對任一該複數個元件設定一運作總數；

對任一該複數個元件設定一先入先出緩衝區大小；

對任一該複數個元件設定一第一亂數範圍，並依照由該第一亂數範圍所產生的一第一亂數，決定該元件之一指令序列，以及該指令序列裡的指令的一運作形式；

對任一該複數個元件設定一第二亂數範圍，並依照由該第二亂數範圍所產生的一第二亂數，決定該元件之一起始運作時間點；

同時啟動該複數個元件，並依照該指令序列，該運作形式以及該起始運作時間點進行運作；以及

當該複數個元件分享任一該資源，並對該資源之利用發生競爭(Compete)時，就由該控制晶片組對該資源之利用加以仲裁(Arbitration)。

2.如申請專利範圍第1項所述之電腦元件整合測試系統，其中該資源更包括一PCI匯流排。

3.如申請專利範圍第1項所述之電腦元件整合測試系統，其中該資源更包括一記憶體。

4.如申請專利範圍第1項所述之電腦元件整合測試系統，其中該複數個元件係包括IDE元件、USB元件、ISA元件、直接記憶體存取(Direct Memory Access, DMA)元件、超級輸出輸入(Super Input/Output, SIO)元件、音頻(Audio

六、申請專利範圍

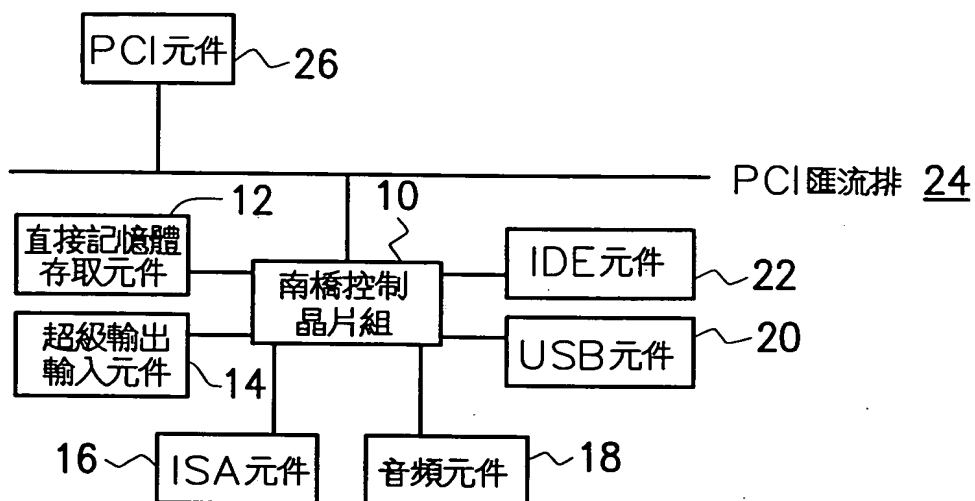
Codec，AC)元件、加速圖形顯示埠(Accelerated Graphic Port，AGP)元件、PCI元件、中央處理器或記憶體。

5.如申請專利範圍第1項所述之電腦元件整合測試系統，其中該控制晶片組係為一北橋晶片組。

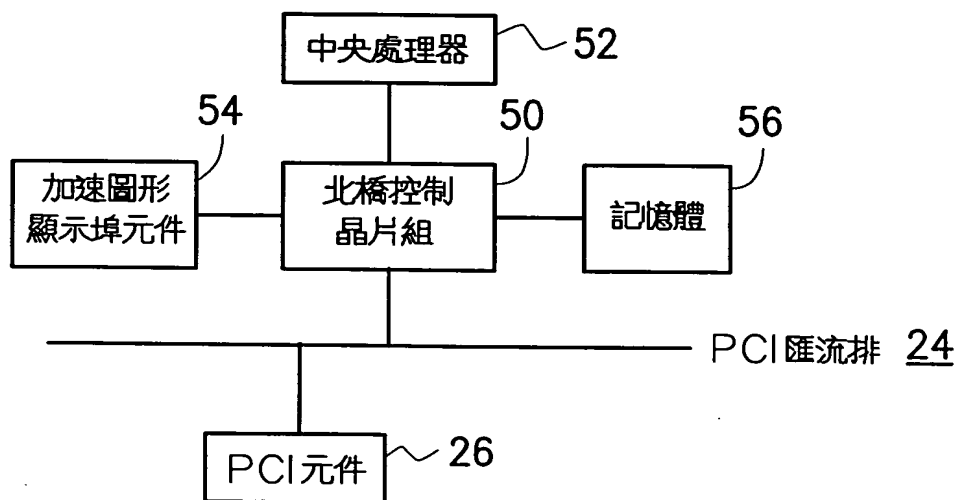
6.如申請專利範圍第1項所述之電腦元件整合測試系統，其中該控制晶片組係為一南橋晶片組。

(請先閱讀背面之注意事項再填寫本頁)

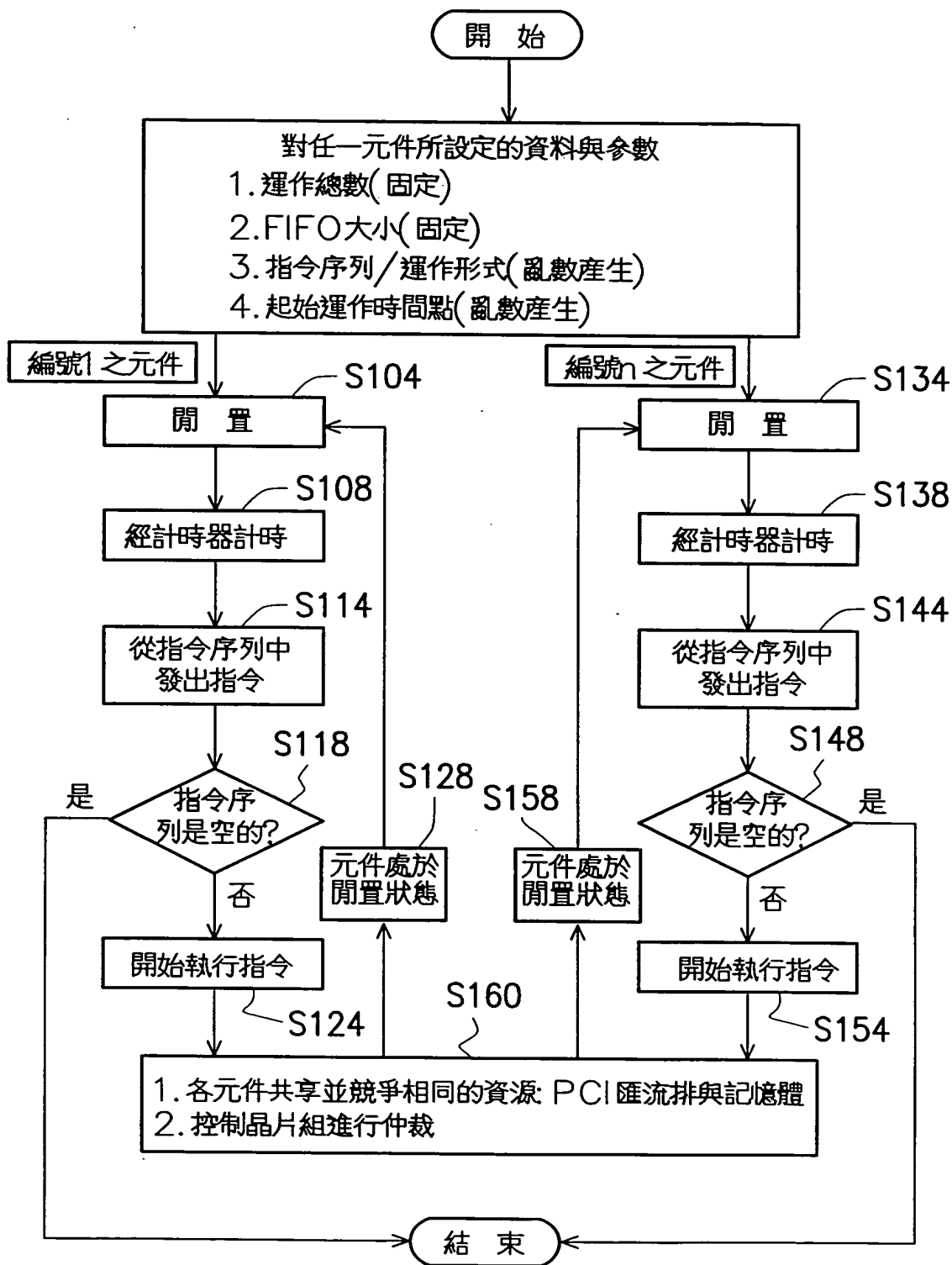
裝
訂
線



第 1 圖



第 2 圖



第 3 圖